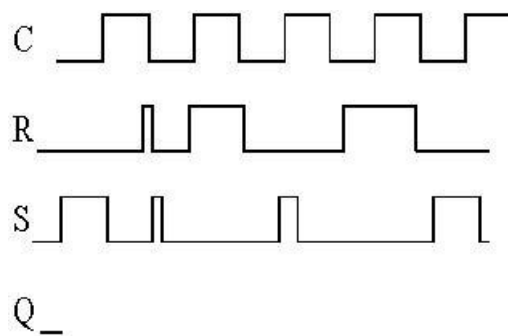


Architektury systemów komputerowych

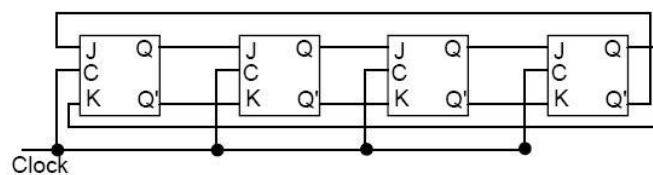
Lista 4

$x_4 = 8$ (minimum na bdb)

1. Narysuj wykres wyjścia Q różnych wersji przerzutnika S-R przy zadanych zmianach stanu wejść R i S . Możesz pominąć drobne opóźnienia wynikające z przechodzenia sygnału przez bramki przerzutnika (a więc w szczególności jego stany niestabilne). Rozważ:
 - (a) przerzutnik prosty (bez wejścia zegarowego, pomiń sygnał C)
 - (b) przerzutnik sterowany poziomem sygnału
 - (c) przerzutnik sterowany zboczem (opadającym) sygnału.

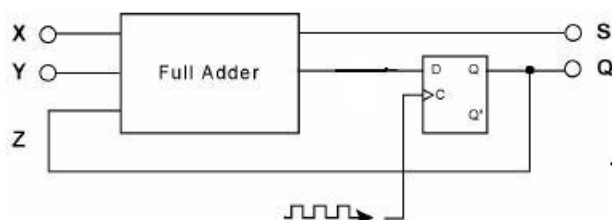


2. Skonstruuj przerzutnik S-R używając dwóch bramek NAND (zamiast bramek NOR). Przeanalizuj jego działanie.
3. Na wykładzie rozważaliśmy przerzutniki sterowane zboczem opadającym (zmiana stanu następowała przy przejściu zegara z 1 na 0). Jak skonstruować przerzutnik S-R sterowany zboczem wznoszącym (zmiana przy przejściu zegara z 0 na 1)?
4. Przeanalizuj funkcjonowanie następującego układu. Załóżmy, że pierwotny stan równa się 0000. Zakładamy, że wszystkie przerzutniki są sterowane zboczem opadającym. Jakie są kolejne stany układu?

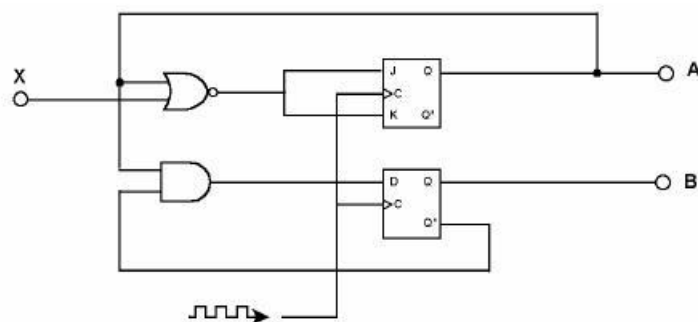


5. Zbuduj z przerzutników (możesz wybrać ich rodzaj) rejestr szeregowy. Taki układ ma jedno wejście danych. W każdym taktie zegara zawartość wejścia jest wstawiana do pierwszego przerzutnika, poprzednia zawartość pierwszego przerzutnika – do drugiego, drugiego do trzeciego, itd. Zakładając początkowy stan 0000 i kolejno podawane na wejście 1,1,0,0, kolejnymi stanami naszego układu powinny być: 1000, 1100, 0110, 0011.
6. Przerzutnik MUX-NOT (MN) o dwóch wejściach M i N zachowuje się następująco: jeśli $M = 1$, przerzutnik odwraca swój stan. Jeśli $M = 0$ to kolejny stan przerzutnika jest równy wejściu N . Zbuduj przerzutnik MN. Wskazówka: możesz wykorzystać gotowy przerzutnik J-K.

7. Zbuduj układ szeregowego komparatora liczb: na dwa wejścia układu podawane są w kolejnych taktach zegara kolejne bity dwóch liczb A i B w kolejności od najmniej znaczącego do najbardziej znaczącego (zakładamy, że liczby są tej samej długości). Układ powinien mieć trzy wyjścia: na pierwszym ma być jedynka, gdy przeczytane do tej pory liczby są równe, na drugim, gdy pierwsza liczba jest większa, na trzecim, gdy druga liczba jest większa.
8. Przedstaw tablicę zmian stanów i wyjść (dla wszystkich możliwych układów wejścia X, Y i stanu Q znajdź wartość S i kolejną wartość Q) dla następującego układu sekwencyjnego (górne wyjście sumatora to suma, dolne – przeniesienie). Co tak naprawdę robi ten układ?



9. Przedstaw tablicę zmian stanów i wyjść (dla wszystkich możliwych układów wejścia X i stanu A, B znajdź kolejne wartości A i B) dla następującego układu sekwencyjnego



10. Rysunki 6-8 w notatkach do wykładu 4 przedstawiają realizację zestawu rejestrów dla procesora MIPS. Pojedyncze linie reprezentują na nich zazwyczaj wielobitowe „wiązki” połączeń. Załóżmy, że chcemy zbudować prostszy zestaw rejestrów, mający tylko dwa dwubitowe rejestry i jedno wyjście do odczytu (na wejściu jest zatem numer rejestru do odczytu, numer rejestru do zapisu, dana do zapisu oraz sygnał zezwolenia na zapis). Przedstaw na rysunku jego budowę w taki sposób, żeby pojedyncze linie odpowiadały tym razem pojedynczym bitom. Możesz użyć gotowych przerzutników D, multiplexera i dekodera.
11. Rozważmy układ sumatora kaskadowego działający na liczbach w reprezentacji uzupełnień do 2 (patrz notatki do wykładu drugiego, podrozdział 3). W jaki sposób można wykrywać, czy zwracany przez układ wynik jest poprawny (tzn., czy nie wystąpił błąd przepełnienia)? Twoim zadaniem jest możliwie proste rozszerzenie danego układu (dodanie pewnych bramek i połączeń) – nowy układ powinien mieć dodatkowe wyjście, które przyjmuje wartość 1 dokładnie wtedy, gdy wynik obliczeń podawany na bitach wynikowych jest błędny.

Emanuel Kieroński