

Architektury systemów komputerowych

Lista 11

$$x_{11} = 8 \text{ (minimum na bdb)}$$

1. W tym i w następnym zadaniu rozważamy 4-gigabajtową przestrzeń adresową, adres określa pojedynczy bajt pamięci, a więc ma 32 bity. Przyjrzymy się kilku wariantom bezpośredniego mapowania przestrzeni adresowej w pamięci cache.

Założmy, że mamy do dyspozycji pamięć cache, która może przechowywać 16 kB danych (nie liczymy miejsca przeznaczonego na znaczniki). Każdy bajt pamięci cache jest adresowany osobno, a więc każdy musi posiadać własny znacznik. Ile bitów ma adres bajtu w pamięci cache, a ile bitów musi mieć znacznik? Dlaczego w naszej sytuacji nie musimy wyróżniać fragmentu adresu określającego położenie bajtu w bloku? Zakładając, że znacznik to bardziej znacząca część adresu, powiedz pod jakim adresem w pamięci cache może być przechowywana zawartość rzeczywistego adresu 1A2B3C4D (podanego szesnastkowo)? Z ilu bitów (łącznie z bitami znaczników) składa się nasza pamięć cache?

2. Założmy teraz, że adresowalną jednostką pamięci cache jest wiersz (blok) złożony z czterech 4-bajtowych słów. Ile wierszy ma nasza 16 kB pamięć cache? Gdzie w pamięci cache będzie przechowana zawartość adresu 1A2B3C4D (w którym wierszu, w którym słowie tego wiersza, w którym bajcie tego słowa)? Z ilu bitów (łącznie z bitami znaczników) składa się nasza pamięć cache?
3. Rozważmy maszynę, która ma 1Mb pamięci głównej, słowo o długości jednego bajta, pamięć cache o pojemności 64kB i rozmiarze wiersza (bloku) 16 bajtów, mapowanie jest bezpośrednie. Jaki znacznik, adres bloku oraz pozycję słowa w bloku mają następujące adresy pamięci głównej: F0010 oraz 01234 (podane szesnastkowo)? Podaj dowolne dwa adresy o różnych znacznikach, które są mapowane do tego samego wiersza pamięci cache.
4. Rozważamy cache z mapowaniem sekcyjno-skojarzeniowym. Mamy 64 wiersze cache podzielone na sekcje o wielkości czterech wierszy. W pamięci głównej mamy 4K bloków, każdy składający się ze 128 słów. Jaki jest format adresu w pamięci głównej (po ile bitów mają fragmenty wskazujące znacznik, sekcję, itd.)?
5. Przypomnij jaka jest różnica pomiędzy schematem zapisu jednoczesnego („zapis-przez”, *write through*), a zapisu opóźnionego („zapis-po”, *write back*). Czas dostępu do pamięci cache wynosi 1 ns, a do pamięci głównej 40 ns (zakładamy dla uproszczenia, że w tym czasie jesteśmy w stanie przenieść cały blok). Przewidujemy, że 85 % odwołań programu do pamięci to odczyty, 15 % – zapisy. Zakładamy, że współczynnik trafień w pamięci cache wynosi 0.95 (zarówno w przypadku odczytów, jak i zapisów). Jaki jest średni czas dostępu do pamięci w systemie przy obydwu schematach zapisu?
6. Rozważamy pamięć podręczną z mapowaniem sekcyjno-skojarzeniowym, wykorzystującą algorytm wymiany LRU (*least recently used* – najdawniej używany). Rozmiar sekcji – 4 wiersze. Do każdego wiersza dodane są dwa bity, używane do obliczenia, który blok był ostatnio używany. Licznik działa następująco:

- kiedy pojawi się „chybienie”, to blok z licznikiem ustawiony na 0 jest podmieniany, a nowo wstawiony blok dostaje licznik 3; pozostałe bloki mają liczniki zmniejszane o 1;
- kiedy pojawi się „trafienie”, to licznik bloku, do którego się odwołujemy ustawiamy na 3 i wprowadzmy konieczne modyfikacje w pozostałych licznikach.

Jeśli w pamięci cache znajdują się cztery bloki A, B, C, D z licznikami ustawionymi odpowiednio na 0, 1, 2, 3, to które bloki pozostaną w zbiorze i jakie będą wartości ich liczników po sekwencji odwołań: E, B, E, D, A, E?

7. W pamięciach cache algorytm wymiany LRU jest często zastępowany algorytmami przybliżonymi (pseudo-LRU). W tym zadaniu przyjrzymy się rozwiązaniu stosowanemu w niektórych procesorach Intel. Załóżmy, że każda ze 128 sekcji, zawierających po 4 wiersze (oznaczone jako L1, L2, L3, L4), są skojarzone trzy bity (zwracam uwagę, że bity są skojarzone z całą sekcją a nie z pojedynczym wierszem): B0, B1, B2. Bit B0 określa która para wierszy (0-1, czy 2-3) była używana dawniej, bity B1 i B2 wskazują, które wiersze w poszczególnych parach były wykorzystywane dawniej. Algorytm, w zależności od B0, wyrzuca wiersz wskazywany przez B1 lub B2.

- (a) Pokaż, że algorytm stanowi tylko przybliżenie prawdziwego algorytmu LRU (wskaż sekwencję odwołań, która rozróżnia te dwa algorytmy).
- (b) Wykaż, że prawdziwy algorytm LRU wymaga co najmniej 6 bitów na jeden zbiór.

8. System komputerowy zawiera pamięć główną o pojemności 32K słów 16-bitowych. Ma także pamięć podręczną 4K słów podzieloną na 4-wierszowe sekcje z 64 słowami w każdym wierszu. Załóż, że pamięć podręczna jest na początku pusta. Procesor pobiera słowa z lokacji 0,1,2,...,4351 w tym właśnie porządku. Następnie powtarza tę sekwencję pobierania jeszcze 9 razy. Pamięć podręczna jest 10 razy szybsza niż pamięć główna. Oszacuj korzyść wynikającą z zastosowania pamięci podręcznej. Przyjmij, że wymiana bloków jest zgodna z algorytmem LRU.

9. Rozważmy następujący pseudokod:

```
int array[10000,100000];
for each element array[i][j] {
    array[i][j]=array[i][j]*2
}
```

Napisz dwa programy w języku C implementujące powyższy algorytm: Pierwszy program powinien przechodzić przez tablicę wierszami, a drugi kolumnami. Porównaj czasy działania obydwu implementacji. Skomentuj wyniki.

10. System pamięci wirtualnej ma rozmiar strony 1024 słowa, 8 wirtualnych stron i 4 fizyczne ramki (miejsca w pamięci głównej, w które można wstawić stronę). Tablica stron jest następująca:

Wirtualny numer strony	Numer ramki
0	3
1	1
2	-
3	-
4	2
5	-
6	0
7	-

- (a) sporządź listę wszystkich wirtualnych adresów, które mogą spowodować błędy stron
- (b) jakie są adresy pamięci głównej dla następujących adresów wirtualnych: 0, 3782, 1023, 1024, 1025, 7800, 4096?

11. Dysponujesz systemem pamięci wirtualnej zawierającej 2-rekordowy bufor TLB, pamięcią podręczną używającą dwudroźnego (dwublokowego) mapowania sekcyjno-skojarzeniowego i tabelą stron dla procesu P. Przyjmij, że bloki w pamięci podręcznej liczą 8 słów, natomiast rozmiar strony wynosi 16 słów. W poniższym systemie pamięć główna została podzielona na bloki, z których każdy jest identyfikowany przy użyciu litery. Dwa bloki odpowiadają jednej ramce.

Strona	Ramka
0	3
4	1

Bufor TLB

Zbiór 0	znacznik	C	znacznik	I
Zbiór 1	znacznik	D	znacznik	H

Pamięć podręczna

Indeks	Ramka	Bit aktualności
0	3	1
1	0	1
2	-	0
3	2	1
4	1	1
5	-	1
6	-	1
7	-	1

Tabela stron

Ramka		Blok
0	C	0
	D	1
1	I	2
	J	3
2	G	4
	H	5
3	A	6
	B	7

Pamięć główna

Strona		Blok
0	A	0
	B	1
1	C	2
	D	3
2	E	4
	F	5
3	G	6
	H	7
4	I	8
	J	9
5	K	10
	L	11
6	M	12
	N	13
7	O	14
	P	15

Pamięć wirtualna przydzielona procesowi P

Dysponując powyższym opisem stanu systemu, odpowiedz na następujące pytania:

- (a) Ile bitów jest zawartych w adresie wirtualnym powiązanym z procesem P.

- (b) Ile bitów jest zawartych w adresie fizycznym powiązanym z procesem P.
- (c) Utwórz format wirtualnego adresu 18 (wszystkie adresy podawane są w tym zadaniu dziesiętkowo) – podaj nazwy i rozmiary pól, którym system posłuży się przy translacji tego adresu na adres fizyczny, a następnie zamień ten adres na odpowiadający mu adres fizyczny.
- (d) Określony adres wirtualny 6 jest zamieniony na adres fizyczny 54. Utwórz format adresu fizycznego (z uwzględnieniem nazw i rozmiarów pól), który jest używany do określania dla adresu lokacji w pamięci podręcznej. Wyjaśnij w jaki sposób użyć tego formatu, aby określić lokalizację adresu fizycznego 54 w pamięci podręcznej.
- (e) Określony adres wirtualny 25 jest zlokalizowany na wirtualnej stronie 1, przesunięciu 9. Opisz dokładnie, w jaki sposób adres ten zostanie zamieniony na odpowiadający mu adres fizyczny i jak będzie realizowany dostęp do danych. Uwzględnij rolę, jaką w operacji odgrywa bufor TLB, tabela stron oraz pamięć podręczna i główna.
12. Dysponując systemem pamięci wirtualnej, zawierającym bufor TLB, pamięć podręczną i tablicę stron, przyjmij:
- trafienie w buforze TLB zajmuje 0.5 ns
 - trafienie w pamięci podręcznej zajmuje 1 ns
 - odwołanie do pamięci zajmuje 40 ns
 - odwołanie do dysku zajmuje 100 ms (operacja obejmuje uaktualnienie tabeli stron, pamięci podręcznej i bufora TLB)
 - współczynnik trafień w buforze TLB wynosi 99%
 - współczynnik trafień w pamięci podręcznej wynosi 96 %
 - współczynnik błędów strony wynosi 0,0001 %
 - w przypadku wystąpienia chybień w buforze TLB lub pamięci podręcznej wymagany czas dostępu uwzględnia czas potrzebny na uaktualnienie bufora TLB i (lub) pamięci podręcznej, ale operacja dostępu **nie** jest wykonywana od początku
 - w przypadku wystąpienia błędu strony jest ona pobierana z dysku, są wykonywane wszystkie operacje uaktualnienia, ale operacja dostępu **jest** wykonywana od początku

Dla każdego wymienionego poniżej przypadku stwierdź, czy jest możliwe jego wystąpienie. Jeśli tak, podaj czas wymagany do uzyskania dostępu do wymaganych danych.

- (a) trafienie w buforze TLB i pamięci podręcznej
- (b) chybiecie w buforze TLB, trafienie w tabeli stron i pamięci podręcznej
- (c) chybiecie w buforze TLB i pamięci podręcznej, trafienie w tabeli stron
- (d) chybiecie w buforze TLB i tabeli stron, trafienie w pamięci podręcznej
- (e) chybiecie w buforze TLB i tabeli stron

Emanuel Kieroński