

# Architektury systemów komputerowych

Lista 5

$x_5 = 7$  (minimum na bdb)

- Zbuduj licznik synchroniczny liczący od 0 do 5 (kolejne stany: 000, 001, 010, 011, 100, 101, 000, 001...). Zadanie rozwiąż w dwóch wersjach – w jednej użyj przerzutników J-K, w drugiej – przerzutników D.
  - Zbuduj układ synchroniczny, przyjmujący kolejno stany 0, 3, 1, 5, 0, 3, ... . Użyj przerzutników S-R.
- Zbuduj licznik liczący w sposób następujący: 0, 1, 2, 3, 4, 5, 4, 3, 2, 1, 0, 1, 2, 3, 4, 5, ... Użyj przerzutników J-K.
- Zaprojektuj licznik synchroniczny  $L_{n+1} = (L_n + 3) \bmod 8$  (kolejne stany powinny kodować 0, 3, 6, 1, 4, 7, 2, 5, 0, 3...), używając przerzutników MUX-NOT (patrz lista 4, zadanie 6).
- Zaprojektuj jako automat Moore'a układ synchroniczny o dwóch wejściach i dwóch wyjściach, który zachowuje się następująco:
  - jeśli na wejściu są dwa zera, układ powinien liczyć „w górę”, tzn. w kolejnych taktach zegara na wyjściu powinny się pojawiać: 0, 1, 2, 3, 0, 1, 2, 3, 0, 1, 2, 3, ...
  - jeśli na wejściu są dwie jedynki, układ powinien liczyć „w dół”, tzn. w kolejnych taktach zegara na wyjściu powinny się pojawiać: 0, 3, 2, 1, 0, 3, 2, 1, 0, 3, 2, 1, ...
  - jeśli na wejściu jest jedynka i zero, układ powinien liczyć w następujący sposób: 0, 2, 1, 3, 0, 2, 1, 3, ...
  - kombinacja wejściowa zero, jedynka nie jest wykorzystywana.
- Zaprojektuj automat Mealy'ego, który w kolejnych taktach zegara czyta na swoim jednobitowym wejściu cyfry binarne. Na wyjściu ma się pojawić 1 jeśli przeczytany do tej pory ciąg cyfr kończy się na 010 lub 1001, a 0 w przeciwnym wypadku.
- Zaprojektuj układ wykrywający na wejściu sekwencję 1010 (układ ma ustawić jedynkę na wyjściu dokładnie wtedy, gdy przeczytany do tej pory ciąg znaków kończy sięadaną sekwencją) w dwóch wersjach: raz jako automat Mealy'ego, raz jako automat Moore'a. W obydwu wersjach postaraj się użyć jak najmniejszej liczby stanów (ale nie musisz formalnie udowadniać, że użyte liczby stanów są minimalne).
- Przedstaw na poziomie bramek logicznych i przerzutników realizację układu mnożącego liczby binarne z wykładu 5a, rysunek 1. Przyjmij, że dane wejściowe są 4-bitowe. Możesz użyć gotowego sumatora 4-bitowego. Układ dostaje dodatkowo niewidoczny na rysunku sygnał zegarowy, pozwalający synchronizować wykonywanie dodawań i przesuwania.
- Na wykładzie przedstawiłem ideę mnożenia matrycowego (array multiplier). Przedstaw pełny rysunek układu mnożącego przy użyciu tej techniki liczby 4-bitowe (dodatknie, w reprezentacji bez znaku: 1101, to po prostu 13). Po jakim czasie od podania na wejścia układu liczb wejściowych na wyjściu pojawi się poprawny wynik? Odpowiedz na to pytanie także w ogólnym przypadku – dla liczb  $n$ -bitowych. W obliczeniach przyjmij, że czas przejścia sygnału przez każdą z bramek logicznych wynosi  $t$ .
- \* Na wykładzie wspominałem, że układ array multiplera można przystosować do wykonywania serii mnożeń potokowo, tzn. w taki sposób, że wyliczanie kolejnych iloczynów nakłada się na siebie. W tym zadaniu przyjrzymy się bliżej tej technice (zbudujemy *pipelined array multiplier*). Nasz układ sterowany będzie sygnałem zegarowym. W  $i$ -tym ( $i = 1, \dots, l$ ) cyklu zegara na dwa  $n$ -bitowe wejścia układu podawana jest para liczb  $x_i, y_i$ . W  $(k + i)$ -tym cyklu na  $2n$ -bitowym wyjściu układu powinien się pojawić wynik mnożenia  $x_i \cdot y_i$  ( $k$  powinno być równe około  $2n$ ).

Aby zrealizować opisane zadanie musisz podzielić układ array multiplera na „warstwy” (o tym jak ten podział wygląda powiedziałem na wykładzie, warstw jest około  $2n$ ). Obliczenia kolejnych iloczynów powinny „spływać” od warstwy najwyższej do najniższej, przy czym w momencie, gdy obliczanie pierwszego iloczynu opuszcza pierwszą warstwę, to wchodzi do niej obliczanie drugiego iloczynu; w kolejnym taktie zegara obliczanie pierwszego iloczynu przechodzi do warstwy trzeciej, drugiego do drugiej, a trzeciego wchodzi do pierwszej, itd. Pomiędzy warstwami należy wstawić przerzutniki, które będą zapamiętywały wyniki pośrednie. Od pewnego momentu obliczeń układ będzie jednocześnie pracował nad około  $2n$  iloczynami. Zatem obliczenie  $l$  iloczynów będzie trwało mniej więcej  $l + 2n$ , a nie  $l \cdot 2n$  jak w przypadku układu niepotokowanego (w tym stwierdzeniu pomijam fakt, że dodanie przerzutników sterowanych sygnałem zegarowym spowolni nieco pracę układu w przypadku pojedynczego obliczenia).

Przedstaw szczegóły zarysowanego rozwiązania dla liczb 4-bitowych ( $n = 4$ ). Przedstaw konstrukcję układu na poziomie bramek logicznych i przerzutników.

10. (a) Jakie liczby są reprezentowane w systemie uzupełnień do dwóch (na ośmiu bitach) jako: 00110011, 10101010, 10110001, 11111111, 00000000?
- (b) Jak w systemie uzupełnień do dwóch (na ośmiu bitach) są reprezentowane następujące liczby 0, -7, 12, 127, -127?

*Emanuel Kieroński*